

PAT-NO: JP406035716A

DOCUMENT-IDENTIFIER: **JP 06035716 A**

TITLE: MICROPROCESSOR

PUBN-DATE: February 10, 1994

INVENTOR-INFORMATION:

NAME

TERUYAMA, TATSUO

ASSIGNEE-INFORMATION:

NAME

TOSHIBA CORP

COUNTRY

N/A

APPL-NO: JP04193594

APPL-DATE: July 21, 1992

INT-CL (IPC): G06F009/46

ABSTRACT:

PURPOSE: To shorten an **interruption response time** by starting an interruption processing in response to an interruption request signal while executing an arithmetic operation corresponding to an instruction fetched from an outside bus.

CONSTITUTION: An interruption processing unit 221 is provided independently of an execution unit 205 and a microcomputer control part 207 and the interruption processing can be started even during the execution of the instruction. That is, while the arithmetic operation corresponding to the instruction fetched from an outside bus 209 with a bus interface unit 201 is executed by the execution unit 205, the interruption processing is started by the interruption processing unit 221 and the first half of the interruption processing; the comparison of an interruption level, an interruption vector fetch and the reading of a vector table, is operated in parallel to the arithmetic operation of the execution unit 205. Therefore, the **interruption response time** can be shortened only for a time equivalent to the processing time of the first half of the interruption processing.

COPYRIGHT: (C)1994,JPO&Japio

(19)日本国特許庁(JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平6-35716

(43)公開日 平成6年(1994)2月10日

(51)Int.Cl.⁵

G O 6 F 9/46

識別記号

3 1 4 Z 8120-5B

F I

技術表示箇所

審査請求 未請求 請求項の数 3 (全 10 頁)

(21)出願番号 特願平4-193594

(22)出願日 平成4年(1992)7月21日

(71)出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72)發明者 照山 竜生

神奈川県川崎市幸区堀川町580番1号 株
 式会社東芝半導体システム技術センター内

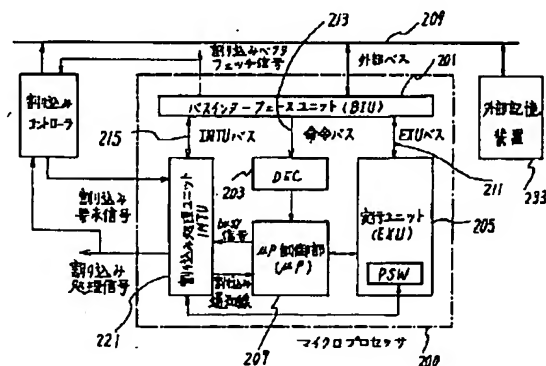
(74)代理人 弁理士 則近 憲佑

(54)【発明の名称】 マイクロプロセッサ

(57) 【要約】

【構成】本発明のマイクロプロセッサは外部バスより取込んだ命令に応じた演算を実行する実行手段と、この実行手段が演算を実行している間に割込み要求信号に応答して割込み処理を開始する割込み処理手段とを具備する。

【効果】本発明のマイクロプロセッサは実行中の命令が終了する前に先行して割込み処理を実行できるので、システムの割込み応答時間を短縮することができる。とくに、命令実行時間の長い高機能命令において、割込みの応答時間を大幅に短縮することができる。



【特許請求の範囲】

【請求項1】 外部バスより取込んだ命令に応じた演算を実行する実行手段と、

この実行手段が演算を実行している間に割込み要求信号に応答して割込み処理を開始する割込み処理手段とを具備することを特徴とするマイクロプロセッサ。

【請求項2】 外部バスより取込んだ命令に応じた演算を実行する実行手段と、

この実行手段が演算を実行している間に、割込み要求信号に応答して割込み処理を行うか否かを判断し、割込み処理を行う場合には外部から割込みベクタ番号を読み、引続いてこの割込みベクタ番号より少なくとも割込み処理においてジャンプすべきアドレスを含むベクタテーブルの外部記憶装置のアドレスを計算し、このベクタテーブルを前記外部記憶装置より読み込む割込み処理手段とを具備することを特徴とするマイクロプロセッサ。

【請求項3】 前記ベクタテーブルの外部記憶装置のアドレスが所定の固定アドレスであることを特徴とする請求項2記載のマイクロプロセッサ。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明はマイクロプロセッサに関する。特に、命令実行時間の長い高機能命令を実行し、外部割込みが頻繁に発生する用途に用いるマイクロプロセッサに関する。

【0002】

【従来の技術】従来のマイクロプロセッサは〔図7〕のような構成をしている。すなわち、外部バス109とのインターフェースを行うバスインターフェースユニット(BIU)101、バスインターフェースユニット101が外部バスから取込んだ命令をデコードする命令デコーダ(DEC)103、マイクロ命令を実行する実行ユニット(EXU)105、デコーダ103のデコード結果を受けて実行ユニット105が実行可能な命令であるマイクロ命令列により実行ユニット105を制御するマイクロプログラム制御部107からなる。マイクロプロセッサと外部バス109とのデータの転送はバスインターフェースユニット101を介して行う。バスインターフェースユニット101と実行ユニット105とはEXUバス111を用いて、バスインターフェースユニット101からデコーダ103へは命令バス113を用いてデータの転送を行う。

【0003】続いて、このマイクロプロセッサに対して外部割込みが発生したときの動作を〔図8〕に示したフローチャートを用いて説明する。割込み発生か否かは命令が終了した後に、割込み要求信号をチェックすることによって判定する。一般に、割込み要求信号は外部からの割込み要求のレベルをエンコードした信号になっている。もし命令実行開始から命令終了までの間に割込みが発生していなければ、次の命令の実行を開始する。割込

みの発生があれば、引続いて割込みの優先度をチェックする。すなわち、割込みの優先度がそのときのマスクレベル(内部状態)と同等かもしくは低ければ割込み処理は行わず、次に命令の実行を開始する。もし、割込みの優先度がそのときのマスクレベルより高ければ引続いて割込み処理を行う。すなわち、ベクタフェッチ、ベクタテーブルリード、PSW(プロセッサステータスワード)等のスタックへのプッシュ、新しいPSWのセット、割込みハンドラーへのジャンプを行う。

【0004】このマイクロプロセッサに対して外部割込みが発生したときは、マイクロプロセッサは外部割込みが発生した時点(割込み要求信号が変化した時点)でそれを検出するが、割込みの優先度チェック及び割込みベクタフェッチから割込みハンドラーへのジャンプまでの一連の割込み処理は、実行中の命令を終了した後に始められる。この理由は二つある。第1に、高機能なマイクロプロセッサでは命令の実行と割込み処理はともにマイクロプログラム制御部107と実行ユニット105で行われるため、命令と割込みとを同時に実行できない。ベクタテーブルが格納されている外部記憶装置のアドレスの計算に実行ユニット105を必要とすることもこの理由の一つである。第2に、実行中の命令が終了するまでは発生した外部割込みを受付けるか否かの判断ができないためである。これは、実行中の命令が割込みマスクレベルを変更する可能性があるためである。

【0005】割込みが発生してから割込みハンドラーへのジャンプが実行されるまでの時間で定義される割込み応答時間は、以上の割込み処理を実行する時間(割込み処理時間)と外部割込みが発生してから実行中の命令が終了するまでの割込み潜伏時間の和になる。

【0006】したがって、マイクロプロセッサが命令実行時間の長い高機能命令を実行しているときに発生した外部割込みは、割込み潜伏時間が長くなり、ひいては割込み応答時間を増大させてしまうという問題があった。

【0007】

【発明が解決しようとする課題】上記したように、従来のマイクロプロセッサは実行時間の長い命令を実行中に発生した割込みに対する割込み応答時間が長いという欠点があった。本発明は、上記欠点を除去し、割込み応答時間の短いマイクロプロセッサを提供することを目的とする。

【0008】

【課題を解決するための手段】上記目的を達成するために、外部バスより取込んだ命令に応じた演算を実行する実行手段と、前記実行手段が演算を実行している間に割込み要求信号に応答して割込み処理を開始する割込み処理手段とを具備することを特徴とするマイクロプロセッサを提供する。

【0009】また、外部バスより取込んだ命令に応じた演算を実行する実行手段と、前記実行手段が演算を実行

3.

している間に、割込み要求信号にตอบสนองして割込み処理を行うか否かを判断し、割込み処理を行う場合には外部から割込みベクタ番号を読み、引続いてこの割込みベクタ番号より少なくとも割込み処理においてジャンプすべきアドレスを含むベクタテーブルの外部記憶装置のアドレスを計算し、このベクタテーブルを読み込む割込み処理手段とを具備することを特徴とするマイクロプロセッサを提供する。また、前記ベクタテーブルの外部記憶装置のアドレスが所定の固定アドレスであることを特徴とするマイクロプロセッサを提供する。

【0010】

【作用】本発明で提供する手段を用いると、実行手段が演算を実行している間に、割込み処理手段が割込み処理を開始する。すなわち、実行手段の演算と並行して、割込みレベルの比較、割込みベクタフェッチ、ベクタテーブルの読み込み、と続く割込み処理の前半を割込み処理手段が行う。したがって、この割込み処理の前半の処理時間に相当する時間だけ割込み応答時間が短縮される。

【0011】また、ベクタテーブルの外部記憶装置のアドレスが所定の固定アドレスであればベクタテーブルの外部記憶装置のアドレスを計算を実行手段によらず容易に計算できる。

【0012】

【実施例】本発明の実施例を〔図1〕～〔図6〕を用いて説明する。

【0013】本発明のマイクロプロセッサは〔図1〕に示すような構成をしている。すなわち、外部バス209とのインターフェースを行うバスインターフェースユニット(BIU)201、バスインターフェースユニット201が外部バスから取込んだ命令をデコードする命令デコーダ(DEC)203、マイクロ命令を実行する実行ユニット(EXU)205、デコーダ203のデコード結果を受けて実行ユニット205が実行可能な命令であるマイクロ命令列により実行ユニット205を制御するマイクロプログラム制御部207、割込み要求信号にตอบสนองして割込み処理を行う割込み処理ユニット(INTU)221からなる。マイクロプロセッサ200と外部バス209とのデータの転送はバスインターフェースユニット201を介して行う。バスインターフェースユニット201と実行ユニット205とはEXUバス211を用いて、バスインターフェースユニット201からデコーダ203へは命令バス213を用いてデータの転送を行う。バスインターフェースユニット201と割込み処理ユニット221とのデータの転送はINTUバス215を用いて行う。

【0014】本発明はマイクロプロセッサの命令セットアーキテクチャによらず効果があるが、とくに効果の大きいのはDIV(除算)命令、MUL(乗算)命令を備えている場合である。これらの命令は、実行に多大な演算を要するので命令実行時間が比較的に長い、一方で

4

外部記憶装置等とのデータ転送は少ないという特徴を持っている。本実施例のマイクロプロセッサはこれらのDIV(除算)命令、MUL(乗算)命令を備えている。本実施例では割込みのベクタテーブルは固定アドレスにマッピングされている。これは、割込みの先行処理に必要なハードウェアを最小限にするためである。

【0015】本実施例のマイクロプロセッサは、従来と異なり、割込み処理ユニット221を実行ユニット205、マイクロプログラム制御部207と独立させたので、命令の実行中でも割込み処理を開始できる構成になっている。

【0016】さらに、本発明のマイクロプロセッサ200を用いたプロセッサシステムの構成には、〔図1〕に示すごとく、さらに割込みコントローラ231、外部記憶装置233が外付されている。

【0017】割込み処理ユニット221の詳細は〔図2〕に示すような構成をしている。すなわち、比較器301、シーケンサ303、アドレス発生器305、ベクタレジスタ307、新PSWレジスタ309、ハンドラーアドレスレジスタ311からなる。

【0018】比較器301は、外部の割込みコントローラ231が発する割込み要求信号と実行ユニット205内にあるPSWレジスタの一部に格納されているマスクレベルとを比較し、マスクレベルより外部割込みの優先度が高いとき、割込みを許可する。この割込み許可信号はシーケンサ303に入力される。

【0019】シーケンサ303は上述の割込み許可信号をうけると起動し、マイクロプログラム制御部207、バスインターフェースユニット201を制御する。すなわち、マイクロプログラム制御部207に割込み通知信号を発し、バスインターフェースユニット201にベクタフェッチ要求およびテーブルリード要求を発する。

【0020】ベクタレジスタ307はバスインターフェースユニット201を介して割込みコントローラ231から読込んだ割込みベクタを一時的に格納するレジスタである。

【0021】アドレス発生器305はシーケンサ303の制御によりベクタレジスタの値をもとにベクタテーブルのアドレスを計算する。ベクタテーブルは外部記憶装置上に固定マッピングされているためハードウェアは後述するようにごくわずかである。

【0022】新PSWレジスタ309とハンドラーアドレスレジスタ311は、ベクタテーブルの要素である、新PSWとハンドラーアドレスを格納する。新PSWレジスタ309に格納されているデータである新PSWはシーケンサ303の制御により実行ユニット205に転送される。新PSWは割込みルーチン時のプロセッサの内部状態として用いられる。また、ハンドラーアドレスレジスタ311に格納されているデータであるハンドラーアドレスはシーケンサ303の制御によりマイクロ

ログラム制御部207に転送される。このハンドラアドレスにジャンプを行い、割込みルーチンに入る。

【0023】続いて、アドレス発生器305のアドレス発生原理について述べる。〔図5〕は主記憶上でベクタテーブルが固定アドレスにマッピングされている様子を示している。各エントリー毎のベクタテーブルは64ビットで構成され、32ビットのPSWと32ビットの割込みハンドラアドレスからなる。アドレスは従来と同様に1バイト毎に付与されているため、11000000000がベクタテーブル列の先頭アドレス、すなわちエントリー0のベクタテーブルのアドレス、だとすると、エントリー1のベクタテーブルが格納されているアドレスは1100001000である。同様に、エントリー2は1100010000、エントリー3は1100011000…となる。従って、アドレス発生は〔図6〕に示すように、下位8ビット～下位4ビットまでの間にエントリーに相当するベクタレジスタの00000～11111をはめ込めばいい。このようにすると、複雑な加算器を必要としないため、アドレス発生に実行ユニット205を用いる必要がない。また、複雑なハードウェアも必要がない。以上、エントリーが32の場合のアドレス生成法を述べたが、エントリー数が変わるとそれに応じてはめ込むビット数が変わる。

【0024】バスインターフェースユニット201は実行ユニット205からEXUバス211を介して、転送すべきデータのアドレス、データ幅などが知らされると、外部バスを使用してマイクロプロセッサ200外の外部記憶装置233等との間でデータ転送を行う。命令フェッチは実行ユニット205からのデータ転送要求と割込み処理ユニット221からの割込み処理関連のデータ転送要求がともにない場合にバスインターフェースユニット201の判断により随時行われる。バスインターフェースユニットでフェッチされた命令はバスインターフェースユニット201内部の命令バッファに一時的に蓄えられ、必要に応じて命令デコーダ203へ転送され、デコードされる。デコード済みの情報はマイクロプログラム制御部207に送られ、それに従ってマイクロプログラム制御部207からの制御信号が実行ユニット205に与えられる。

【0025】また、バスインターフェースユニット201はINTUバスで割込み処理ユニット221と接続されている。INTUバスを介して割込み処理ユニット221から割込み処理に必要なデータ転送要求があると、バスインターフェースユニット201は実行ユニット205からのデータ転送がないときに、割込み処理ユニット221から要求されたデータ転送を行い、結果をINTUバスを介して割込み処理ユニット221に通知する。以上のように、バスインターフェースユニット内部でのデータ転送の優先度の判断は、EXUからの要求>INTUからの要求>命令フェッチとなっている。

【0026】実行ユニット205はマイクロプログラム制御部207からの制御信号に従って命令を実行する。命令実行にデータ転送が必要な場合は、EXUバスを介してバスインターフェースユニットにメモリアドレスなどの必要な情報を渡してデータ転送を要求する。次に、〔図3〕及び〔図4〕に示した本実施例のフローチャート及びタイミングチャートを参照して割込み処理の説明をする。

【0027】実行ユニット205が命令を実行している間に、外部割込みが発生すると、割込み処理ユニット221は割込み処理を行う。外部割込みはエンコードされた割込みレベルが割込み要求信号によって割込み処理ユニット221に通知される(a)。実行ユニット205に格納されているPSW内の割込みマスクレベルよりも高い割込みが割込み要求信号を通して外部から通知されたとき、割込み処理が開始される。この処理は、前述したように、比較器301が割込み要求レベルとマスクレベルとの比較を行い、割込み処理が可能ならば、この比較器301はシーケンサ303に許可信号を通知する。割込み処理ユニット221は割込み通知線を用いてマイクロプログラム制御部207に割込みの発生を通知する。マイクロプログラム制御部207は命令実行中であればbusy信号を出力しているが、この場合でも割込み処理ユニット221はマイクロプログラム制御部207とは独立に割込み処理を開始する。実行中の命令が終了する前に行える割込み処理(割込み先行処理)は以下の1～4である。

【0028】1. 割込み処理ユニット221はINTUバス215を通して、割込みベクタフェッチをバスインターフェースユニット201に要求する。この動作は、割込み処理ユニット221内のシーケンサ303がベクタフェッチ要求信号を通してINTUバス215を介し、割込みベクタフェッチをバスインターフェースユニット201に要求することによって行う。

【0029】2. バスインターフェースユニット201はEXUバス211を介する実行ユニット205からのデータ転送要求がないときに限り、割込みベクタフェッチ信号をアクティブ("H")にして、割込みベクタフェッチを行う(b)。この動作は、割込み処理ユニット221内では、ベクタレジスタ307にフェッチされた割込みベクタ番号がINTUバスの割込みベクタ信号線を介して格納されることによって終了する。

【0030】3. 割込み処理ユニット221はフェッチした割込みベクタに対応するベクタテーブル上の新PSWおよび割込みハンドラの先頭アドレス等の読みだしをバスインターフェースユニット201に要求する。この動作は、割込み処理ユニット内では、ベクタレジスタ内の割込みベクタ番号を基にベクタテーブル上のアドレスをアドレス発生器305が計算し、シーケンサ303の制御によりバスインターフェースユニットにアドレス

7

発生器305が上述のアドレスを転送することによって開始される。アドレスが確定した後、シーケンサ303はINTUバス215内のテーブルリード要求信号線を用いてベクタテーブル上の新PSWおよび割込みハンドラーの先頭アドレスの読みだしをバスインターフェースユニットに要求する。

【0031】4. バスインターフェースユニット201はEXUバス211からのデータ転送要求がないときに限り、要求されたデータ転送をおこない、INTUバス215を通して割込み処理ユニットに新PSWおよび割込みハンドラーアドレスを含む割込みベクタテーブルを転送する。割込み処理ユニット221内部では、新PSWレジスタ309とハンドラーアドレスレジスタ311へ所定のデータがINTUバス215のベクタテーブル信号線を介して転送される(c)。

【0032】以上の処理は割込み処理の全てではない。ここまでの処理は、たとえ実行中の命令が終了する前でも、外部バスに空きがあれば前もって実行する。これは、これ以降の処理がPSWのライトなどを伴うため、処理中の命令が終了するまで実行できないためである。また、ここまでの処理を割込みの先行処理と呼ぶ。

【0033】5. 続いて、実行中の命令が終了すると、マイクロプログラム制御部207は割込み通知線によって割込みの発生を認識し、次の命令は実行せずbusy信号をネグート(インアクティブ“L”にする)して、命令の終了を割込み処理ユニット221に通知する(d)。

【0034】6. 命令の実行が終了すると、割込み処理ユニットは現在のPSWを実行ユニット205から読みだし、PSW中にある割込みマスクレベルと処理中の割込み要求レベルとを比較する(e)。このマスクレベルの比較は、上述したように、比較器301によって行う。もし、割込みマスクレベルが実行中だった命令により書換えられていて、先行処理していた割込みのレベルより高くなった時は、割込みは受付けれられないので割込み処理を中止し、実行ユニット205は再びbusy信号をアサート(アクティブ“H”にする)して次の命令を実行する(e')。もし処理中の割込みが受け付けられる場合は以降の割込み処理を続行する。

【0035】7. 現在のPSW値と割込み要因に関する情報をスタックにプッシュするよう、バスインターフェースユニットに要求し、バスインターフェースユニットがそれを実行する(f)。

【0036】8. 割込み処理ユニット221は新PSW値を実行ユニット205内のPSWレジスタに格納する。割込み処理ユニット211内部ではシーケンサ303が新PSWレジスタの出力バッファを制御することにより行われる。

【0037】9. 実行ユニットは割込みハンドラーの先頭アドレスにジャンプし、割込み処理ユニット221は

8

割込み通知線をネグート(インアクティブ“H”にする)する(g)。

10. 割込みハンドラーでの処理を終了する(h)。以上で割込み処理及び割込みルーチンでの処理は終了する。

【0038】以上のように、本発明は実行中の命令が終了する前に先行して割込み処理を実行できるので、システムの割込み応答時間を短縮することができる。とくに、命令実行時間の長い高機能命令は終了までに数十から100クロックほど要するものがあり、従来の場合では、この命令の実行中に発生した割込みは割込み潜伏時間が長くなる。しかし、本発明のマイクロプロセッサは割込みの先行処理を実行ユニットの命令実行と並行して行うため、割込みの応答時間を大幅に短縮することができる。

【0039】本実施例では、命令実行の終了時点で割込み要求の再チェックを行わない。すなわち、その時点でさらに優先度の高い割込みが発生していてもそれはすぐには受け付けられず、先行処理された割込みが優先される。これは再チェックを行うとその分時間がかかり、割込み応答時間が多少なりとも増加してしまうこと、また多少動作が複雑になりひいては割込み処理ユニット221のチップ上での面積が増加するからである。

【0040】また、本実施例の1変形としては、上記とは逆に割込み要求の再チェックを行う処理方法も考えられる。この場合、再チェック時点で先行処理していた割込みよりも優先度の高い割込みがこの時点で発生していたら、先行処理を保留にして、優先度の高い割込みの処理を改めて行う。この場合は上記の欠点はあるが、新たに発生した優先度の高い割込みの待ち時間が若干短縮されるというメリットがある。また、本実施例ではバスインターフェースユニットにおけるデータ転送要求の優先度を、

EXUからの要求>INTUからの要求>命令フェッチとしているが、

INTUからの要求>EXUからの要求>命令フェッチとしても割込み潜伏時間の短縮には同様の効果がある。

【0041】また、本実施例では、割込み処理を行う割込み処理ユニットを独立させており若干のハードウェア増となるが、これは従来ではマイクロプログラム制御部で行っていた制御も含むため、一方でその分の制御回路は削減され、全体としてのチップ面積増加はそれほど大きくない。

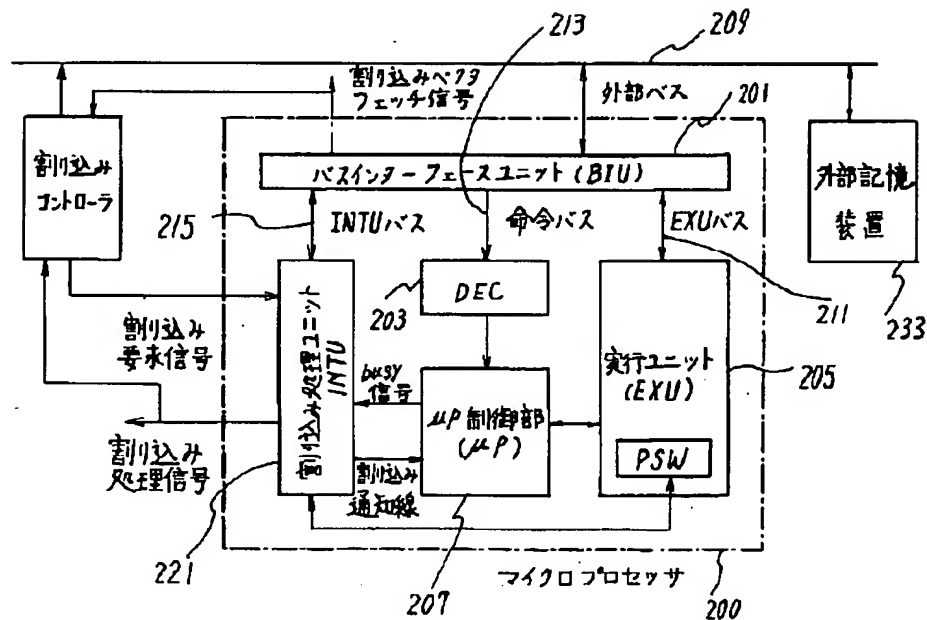
【0042】

【発明の効果】以上のように、本発明は実行中の命令が終了する前に先行して割込み処理を実行できるので、システムの割込み応答時間を短縮することができる。とくに、命令実行時間の長い高機能命令において、割込みの応答時間を大幅に短縮することができる。

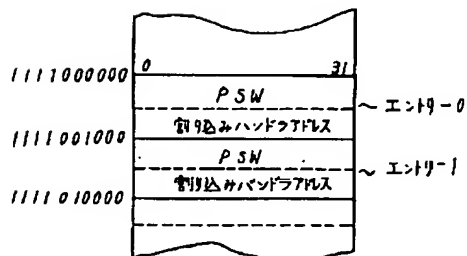
【図面の簡単な説明】

- 9
- 【図1】本発明の実施例を表した回路構成図。
 【図2】本発明の実施例を表した回路構成図。
 【図3】本発明の実施例の割込み処理のフローチャート。
 【図4】本発明の実施例の割込み処理のタイミングチャート。
 【図5】本発明の実施例の主記憶上のベクタテーブルのマッピング例。
 【図6】本発明の実施例のベクタテーブルのアドレスの生成法。
 【図7】従来例を表した回路構成図。
 【図8】従来例の割込み処理のフローチャート。
 【符号の説明】
- 10
- 200 マイクロプロセッサ
 201 バスインターフェースユニット
 203 命令デコーダ
 205 実行ユニット
 207 マイクロプログラム制御部
 209 外部バス
 211 EXUバス
 213 命令バス
 215 INTUバス
 221 割込み処理ユニット
 231 割込みコントローラ
 233 外部記憶装置

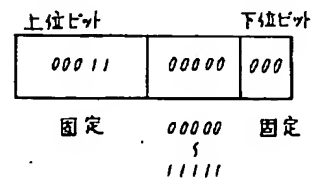
【図1】



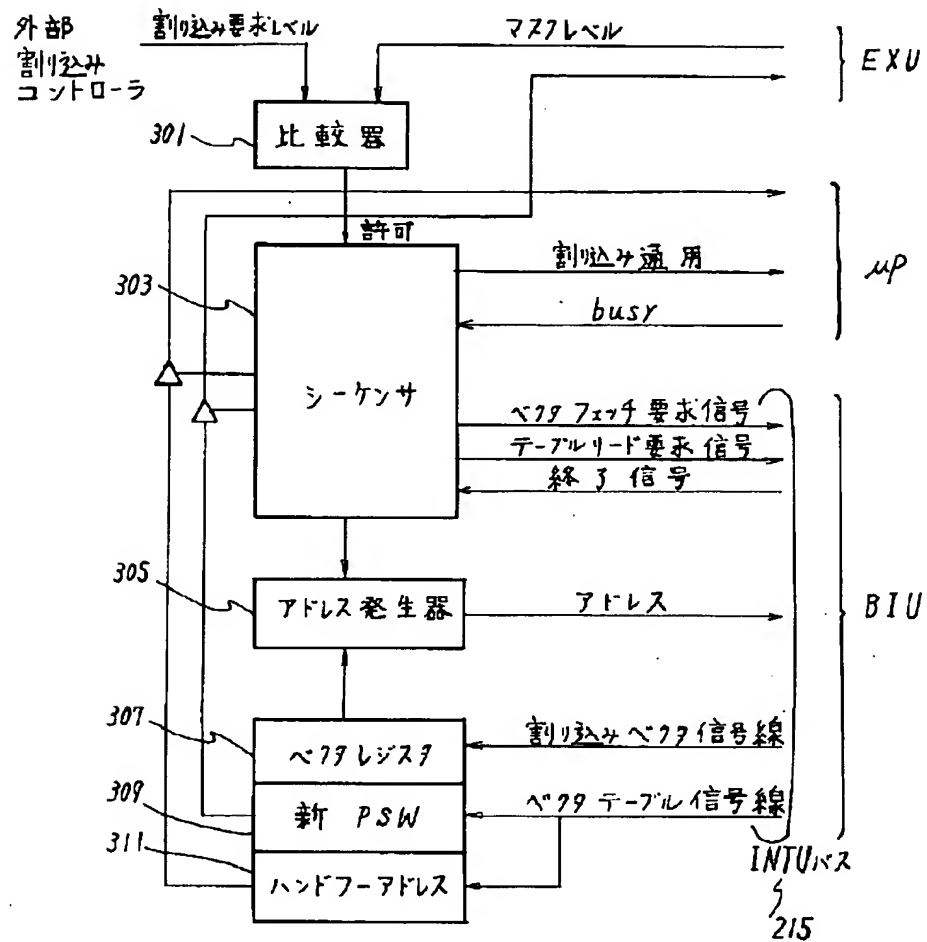
【図5】



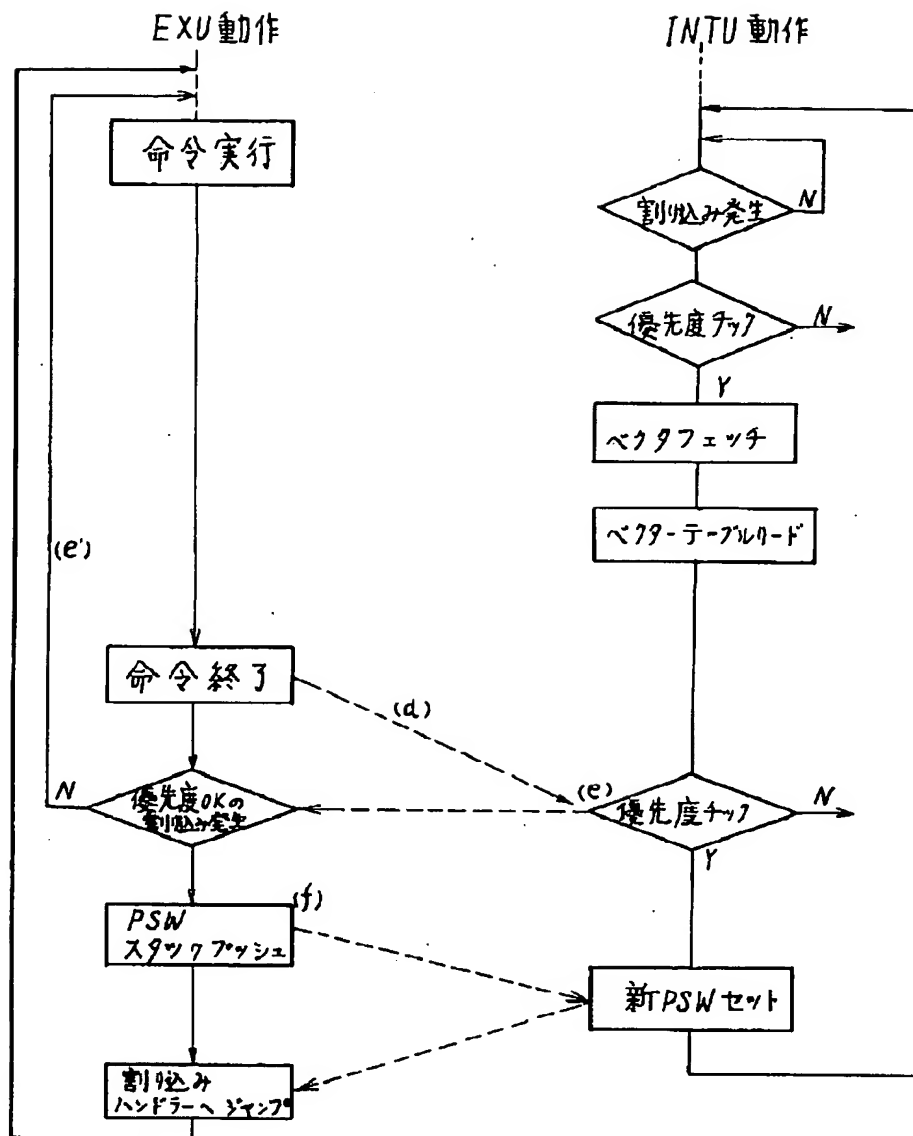
【図6】



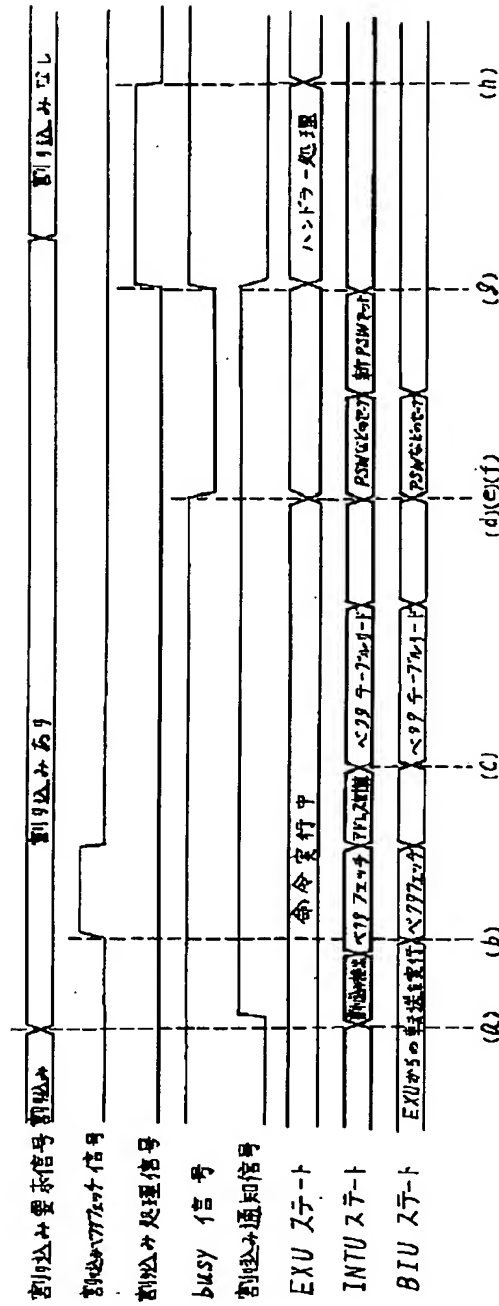
【図2】



【図3】

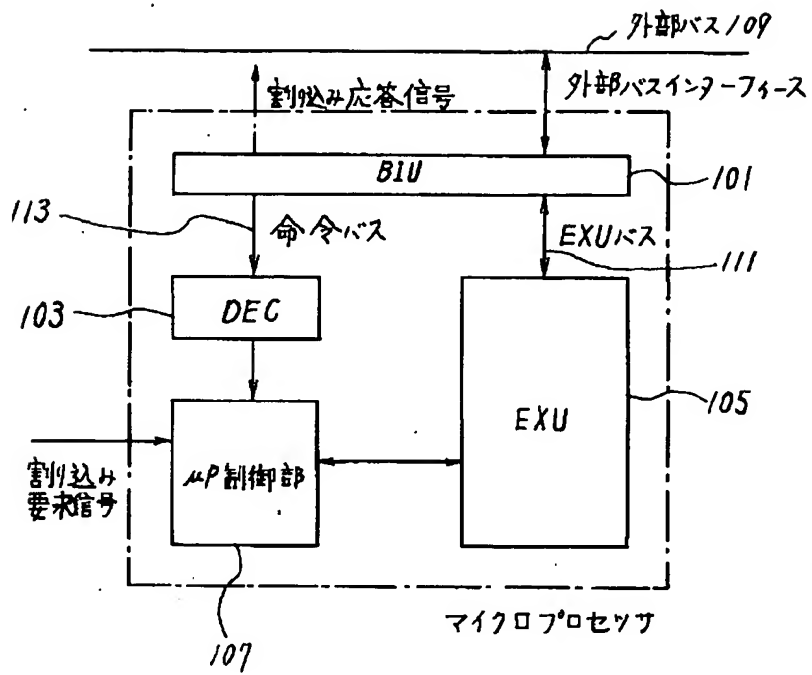


【図4】



(注意) 信号はアサリアHighとする

【図7】



【図8】

